

DENEY 9: FLİP-FLOPLAR

9.1. Deneyin Amacı

Flip Flopları, kapılarla ve flip flop entegreleriyle gerçekleştirmek ve incelemek

9.2. Kullanılan Elemanlar

- 1 x 74HC02 (NOR kapısı)
- 1 x 74HC73 (JK flip-flop)
- 1 x 74HC74 (D flip-flop)
- 2 x 4,7k ohm
- 3 x 330 ohm
- 3 x Led

9.3. Teorik Bilgiler

Lojik devreler, kombinasyonel (combinational) ve ardışıl (sequential) olmak üzere 2 bölümde incelenebilir. Kombinasyonel devrelerde, herhangi bir andaki çıkış, sadece o andaki girişler tarafından belirlenir. Önceki çıkış değerlerinin sonraki çıkışa hiçbir etkisi söz konusu değildir. Ardışıl devrelerde ise bir önceki çıkış, mevcut girişlerle birlikte sonraki çıkışı tayin eder. Başka bir deyişle ardışıl devrelerin bellek özelliği vardır. Yani çıkışları tutar ve giriş olarak da kullanılabilir.

Ardışıl devrelerde kullanılan devre elemanları mandal (latch) veya flip-flop'lardır. Bu devre elemanları üzerindeki binary bir bilgiyi saklayabilen hücrelerdir. Bir mandal veya flip-flop'un, saklanan bilgiyi ve saklanan bilginin değilini gösteren iki ayrı çıkışı vardır.

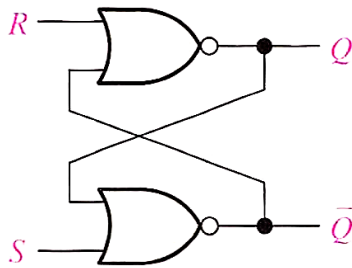
Flip-floplar başlıca 4 çeşittir. Bunlar;

- RS flip-flop
- JK flip-flop
- D flip-flop
- T flip-flop

RS Mandalı (Latch)

RS mandalı, NAND kapılarıyla da NOR kapılarıyla da gerçekleştirilebilir. Aşağıda NOR kapılarıyla gerçekleştirilmiş RS mandalı gösterilmektedir.

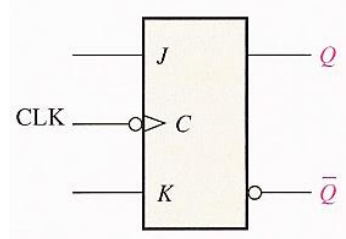
S = 1, R = 1 girişleri verilmemelidir, bu durumda çıkışlar tanımsızdır veya yasaktır. S = 0, R = 0 girişleri verildiğinde ise çıkış bir önceki değerini korur.



Girişler		Çıkışlar		Durum
S	R	Q_{n+1}	\bar{Q}_{n+1}	
0	0	Q_n	\bar{Q}_n	Değişme yok
0	1	0	1	Silme
1	0	1	0	Kurma
1	1	0	0	Tanımsız

JK Flip-flop

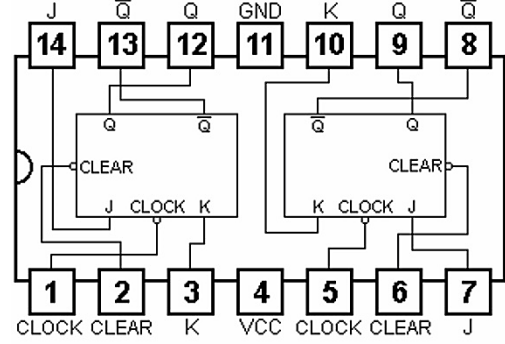
JK flip-flop'ta, RS flip flop gibi iki giriř vardır. J giriři RS FF'nin "Kur" giriři, K ise RS FF'un "Sıfırla" giriři gibi düşünülebilir. JK FF'in RS FF'den tek farkı J=1, K=1 durumunda belirsizlik olmamasıdır. Bu durumda çıkıř, bir önceki çıkıřın tersi olmaktadır. Yani J=1, K=1 olduėunda çıkıř "0" ise "1", "1" ise "0" olmaktadır. Diėer durumlarda ise JK FF'unun çıkıřları RS FF gibidir. řekilde düşen kenar tetiklemeli JK flip-flop lojik sembolü gösterilmiřtir.



74HC73 JK Flip-flop Entegresi

řekilde 74HC73 entegresinin pin diyagramı verilmiřtir. Entegrede iki tane birbirinden bağımsız JK flip-flop'u vardır. Bunlar negatif (düşen) kenar tetiklemeli flip-floplardır. Sadece clock (CLK) giriřinin yüksekten (H, 1) alçaėa (L, 0) geçiřinde çıkıřlar deėiřebilmektedir.

CLEAR temizlemek anlamındadır. Deėillenmiř olduėundan CLR = 0 olduėunda Q çıkıřı sıfırlanır. Bu durumda Q = 0, Q' = 1 olur.

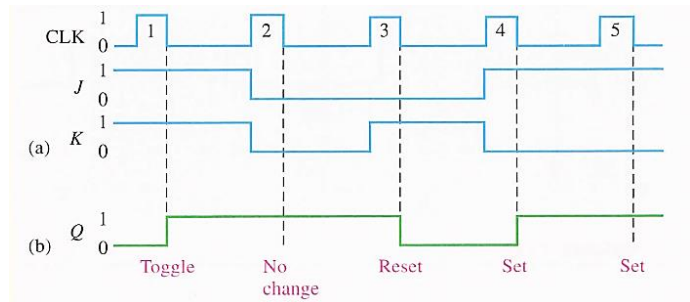


Ařaėıdaki doėruluk tablosu incelenirse řu sonuřlar çıkarılabilir:

1. CLR (Clear)= 0 olduėunda Q = 0, Q' = 1 olur. CLR = 0 iken CLK, J ve K deėiřse de Q Ve Q' deėiřmez.
2. CLR = 1 olduėunda, J = 0, K = 1 olduėunda, bir sonraki negatif tetiklemede çıkıřlar Q = 0, Q' = 1 olur.
3. CLR = 1 olduėunda, J = 1, K = 0 olduėunda, bir sonraki negatif tetiklemede çıkıřlar Q = 1, Q' = 0 olur.
4. CLR = 1 olduėunda, J = 0, K = 0 olduėunda, çıkıřlar önceki deėerlerini korurlar.
5. CLR = 1 olduėunda, J = 1, K = 1 olduėunda, bir sonraki negatif tetiklemede çıkıřlar önceki deėerlerinin tersi olur.

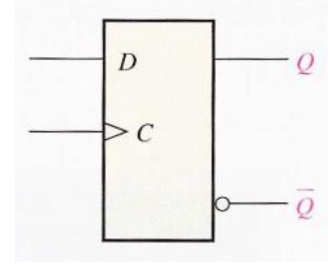
CLR	CLK	J	K	Q	Q̄
L	X	X	X	L	H
H	1	L	H	L	H
H	1	H	L	H	L
H	1	L	L	Deėiřiklik yapmaz	
H	1	H	H	Çıkıřları tersler(toggle)	

Yandaki grafikte 74HC73 entegresine, CLR = 1 durumundayken, J, K ve CLOCK sinyalleri girilmiř, Q çıkıřı elde edilmiřtir.



D Flip-flop

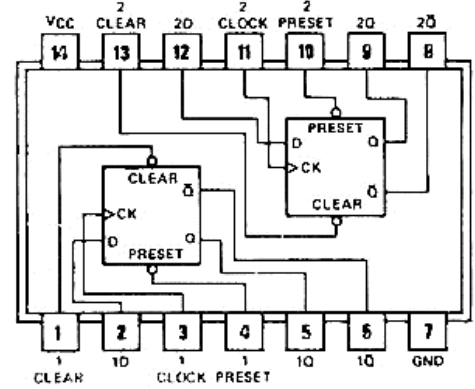
D (Data) tipi flip-flop, bilgi kaydetmede kullanılan bir flip-floptur ve genellikle register (kaydedici) devrelerinde kullanılır. D tipi flip-flop, JK tipi flip-flop'a bir "Değil" kapısı eklenip girişleri birleştirilerek elde edilir. D tipi flip-flopta giriş ne ise, her gelen tetikleme palsi ile çıkış o olur. Şekilde yükselen kenar tetiklemeli D flip-flop lojik sembolü gösterilmiştir.



74HC74 D Flip-flop Entegresi

Yanda 74HC74 entegresinin pin diyagramı verilmiştir. Entegrede iki tane birbirinden bağımsız D flip-flop'u vardır. Pozitif kenar tetiklemeli flip-floplardır. Sadece CLOCK girişinin alçaktan (L, 0) yükseğe (H, 1) geçişinde çıkışlar değişebilmektedir.

CLEAR temizle, sıfırla manasındadır. PRESET kur, ayarla manasındadır. CLEAR ve PRESET girişleri değillenmiştir. CLEAR = 0 olduğunda Q çıkışı sıfırlanır. Bu durumda $Q = 0$, $Q' = 1$ 'dir. PRESET = 0 olduğunda Q çıkışı kurulur. Bu durumda $Q = 1$, $Q' = 0$ 'dir. Eğer CLEAR = 0 ve PRESET = 0 olursa $Q = 1$, $Q' = 1$ olur. D (Data) ve CLOCK girişleriyle çıkışlar arasındaki bağlantı incelenmek istendiğinde CLEAR ve PRESET girişleri 1 olmalıdır yani 5V'a bağlanmalıdır.

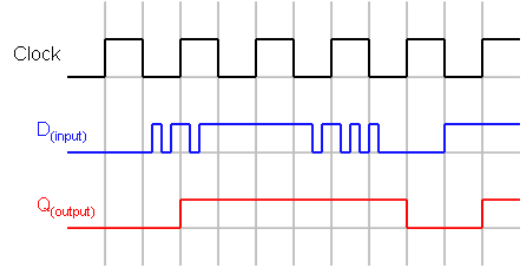


Aşağıdaki doğruluk tablosu incelenirse şu sonuçlar çıkarılabilir:

1. PRESET = 0, CLEAR = 1 olduğunda $Q = 1$, $Q' = 0$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q Ve Q' değişmez.
2. PRESET = 1, CLEAR = 0 olduğunda $Q = 0$, $Q' = 1$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q Ve Q' değişmez.
3. PRESET = 0, CLEAR = 0 olduğunda $Q = 1$, $Q' = 1$ olur. Bu durumda CLOCK ve D farklı değerler olsa da Q Ve Q' değişmez.
4. PRESET = 1, CLEAR = 1 olduğunda ve D = 1 olduğunda, bir sonraki pozitif tetiklemede çıkışlar $Q = 1$, $Q' = 0$ olur.
5. PRESET = 1, CLEAR = 1 olduğunda ve D = 0 olduğunda, bir sonraki pozitif tetiklemede çıkışlar $Q = 0$, $Q' = 1$ olur.
6. PRESET = 1, CLEAR = 1 olduğunda ve CLOCK = 0 veya CLOCK = 1'de sabit duruyorsa D girişi çıkışları etkilemez. Çıkışlar önceki durumlarında değişmeden dururlar. Çünkü bu entegredeki flip-floplar pozitif kenar tetiklemelidir. Yalnızca CLOCK 0'dan 1'e geçerken D girişine bakılır.

PRESET	CLEAR	CLOCK	D	Q	Q̄
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	↑	1	1	0
1	1	↑	0	0	1
1	1	0	X	Q0	Q̄0
1	1	1	X	Q0	Q̄0

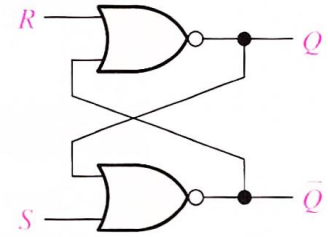
Grafikte 74HC74 entegresine PRESET = 1 ve CLEAR = 1 durumundayken D ve CLOCK sinyalleri girilmiş, Q çıkışı elde edilmiştir.



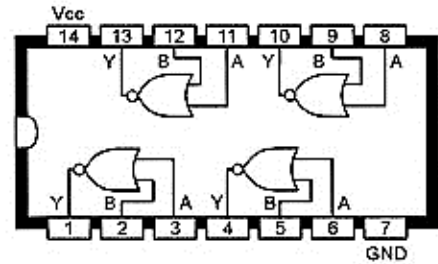
9.4. Deneyin Yapılışı

RS Mandalı devresi

- Şekildeki devreyi 74HC02 NOR entegresi kullanarak kurup giriş-çıkış bağlantılarını yapınız.
- **Sırasıyla** tablodaki girişleri verip çıkışı gözlemleyiniz ve kaydediniz.

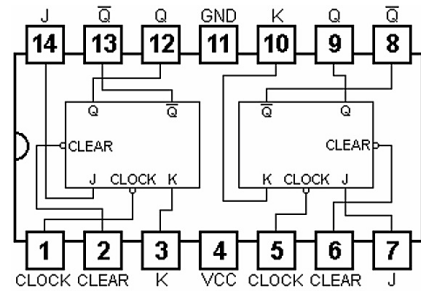


Girişler		Çıkışlar	
S	R	Q	\bar{Q}
0	0		
1	0		
0	0		
0	1		
0	0		

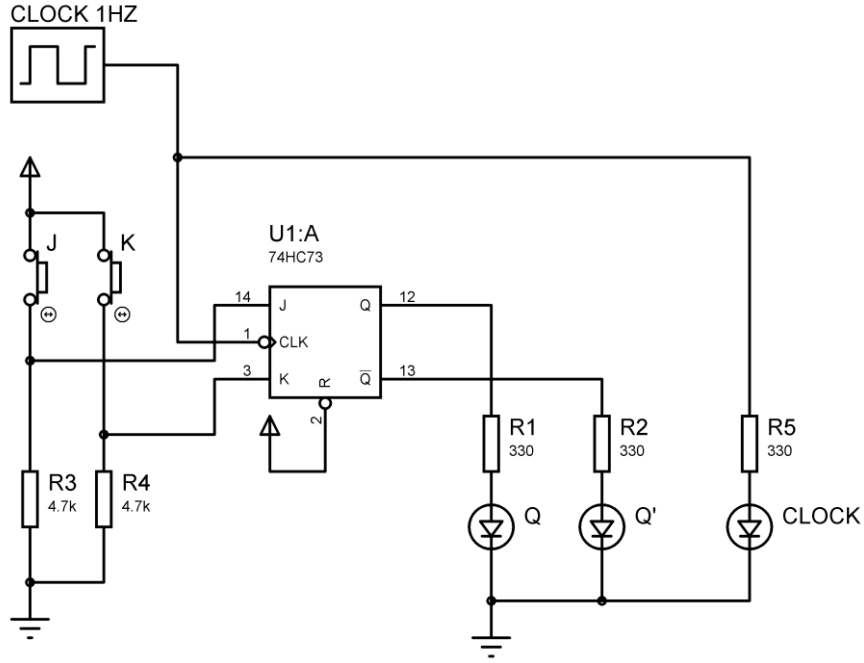


JK Flip-flop devresi

- 74HC73 entegresini breadboarda yerleştirip yalnız bir flip-flop için giriş-çıkış bağlantılarını yapınız. Devreyi arka sayfada gösterildiği gibi yapınız.
 - J ve K girişlerini sırasıyla switch'lere bağlayınız.
 - CLEAR girişini 5V'a bağlayarak lojik 1 yapınız.
 - CLOCK girişine sinyal jeneratörünü bağlayıp frekansını 1Hz civarına ayarlayınız. Clock için de led bağlayınız.
 - Q ve \bar{Q} çıkışlarına sırasıyla led bağlantılarını yapınız.
 - VCC ve GND bağlantılarını yapınız.
- **Sırasıyla** tablodaki girişleri verip çıkışı gözlemleyiniz ve kaydediniz.



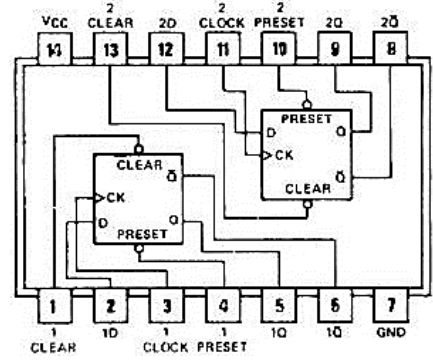
Girişler			Çıkışlar	
CLOCK	J	K	Q	\bar{Q}
Düşen	1	0		
Düşen	0	0		
Düşen	0	1		
Düşen	0	0		
Düşen	1	1		
Düşen	1	1		



74H73 JK Flip-flop devresi bağlantıları

D Flip-flop devresi

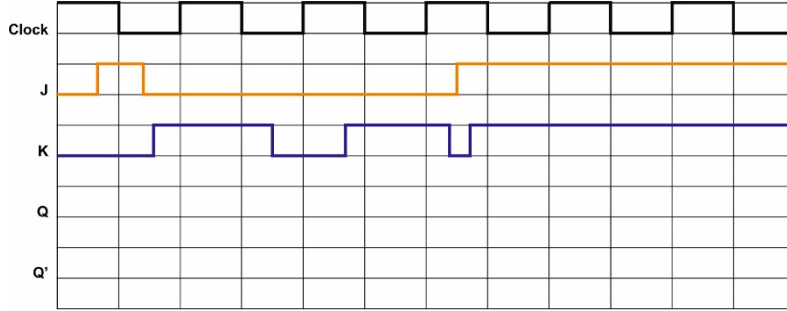
- 74HC74 entegresini breadboarda yerleştirip yalnız bir flip-flop için giriş-çıkış bağlantılarını yapınız.
 - D girişini bir switch'e bağlayınız.
 - CLEAR ve PRESET girişini 5V'a başlayarak lojik 1 yapınız.
 - CLOCK girişine sinyal jeneratörünü bağlayıp frekansını 1Hz civarına ayarlayınız. Clock için de led bağlayınız.
 - Q ve \bar{Q} çıkışlarına sırasıyla led bağlantılarını yapınız.
 - VCC ve GND bağlantılarını yapınız.
- **Sırasıyla** tablodaki girişleri verip çıkışı gözlemleyiniz ve kaydediniz.



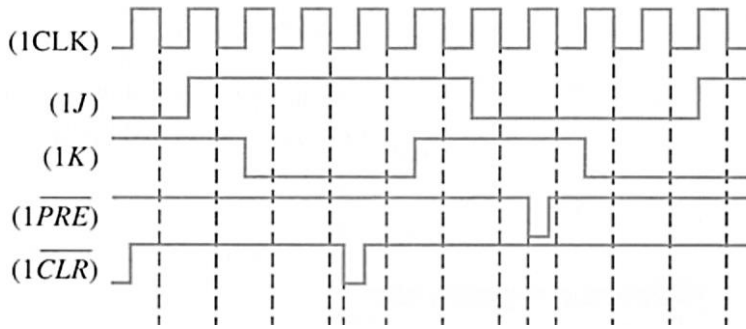
Girişler		Çıkışlar	
CLOCK	D	Q	\bar{Q}
Yükselen	0		
Yükselen	1		

9.5. Deney Sonuç Soruları

1. Pozitif (yükselen) kenar tetiklemesi, negatif (düşen) kenar tetiklemesi nedir?
2. RS, JK ve D flip-flop devrelerinin Proteus çizimlerini deneye göre yapınız.
3. 74HC73 JK flip-flop çıkışlarını, aşağıdaki giriş sinyallerine göre çiziniz? (CLR = 1 durumunda)



4. Düşen kenar tetiklemeli bir JK flip-flop'u Q çıkışını, aşağıdaki giriş sinyallerine göre çiziniz.



5. 74HC74 D flip-flopu çıkışlarını, aşağıdaki giriş sinyallerine göre çiziniz.

